

三相晶闸管数字移相触发的实现

杨新华, 陈玉松, 金兴文

(兰州理工大学 电气工程与信息工程学院, 甘肃 兰州 730050)

摘要: 针对常用晶闸管触发电路的缺点, 设计了基于 CPLD 的三相晶闸管数字移相触发电路. 触发电路以 CPLD 为核心, 可以集成到一个逻辑芯片上, 克服了传统设计方法的不足, 输出的触发脉冲具有对称度好、响应快、精度高、抗干扰能力强、稳定性好的特点.

关键词: 晶闸管; 数字移相触发; CPLD; 触发脉冲

中图分类号: TM921.51 **文献标识码:** A **文章编号:** 1004-0366(2008)02-0135-04

The Method for the Digital Phase-Shifted Trigger in Three-Phase Thyristor

YANG Xin-hua, CHEN Yu-song, JIN Xing-wen

(School of Electrical and Information Engineering, Lanzhou University of Science and Technology, Lanzhou 730050, China)

Abstract: Aiming at the defects of the traditional circuit the method for the digital phase-shifted trigger in three-phase circuit is proposed on the basis of CPLD. The circuit works around the programmable logic device, and it is designed on one chip so that it is stable with strong anti-jamming capability and produces highly symmetrical, quickly responsive and highly accurate trigger pulses, avoiding the defects of the traditional circuit.

Key words: thyristor; digital phase-shifted trigger; CPLD; trig pulse

晶闸管整流电路对触发电路的要求是: 控制精度高, 实时性好, 对称度高, 稳定性好, 触发安全可靠. 其中移相触发控制是通过调节晶闸管导通时刻的相位达到控制输出的目的, 适用于大功率整流电源、电机软起动器、泵、阀门、可调光照明等场合^[1,2].

晶闸管的触发控制可以通过多种方法来实现. 以往采用模拟电路实现触发控制的方法应用最多, 并出现过许多专用触发芯片, 然而模拟电路控制总是存在控制精度不高、对称度不好、易受温度漂移影响等问题^[3]. 采用单片机实现的触发电路动态性能较差, 且受到干扰后容易丢失触发脉冲使电路处于失控状态. 数字式触发电路是通过脉冲定时计数的方式实现触发角的延迟计算, 与模拟方式相比, 其控制精度高、对称性好、温漂影响小^[4,5].

以下设计了基于 CPLD 芯片 EPM7128S 的三相全控桥晶闸管触发电路. 该设计将控制逻辑、数据

转换、数据处理、同步信号处理、双窄触发脉冲触发等单元全部集成在一个 CPLD 芯片上, 实现的触发控制电路输出脉冲对称度好、响应快、精度高、稳定性好, 克服了传统触发电路的缺点, 用于大功率和高可靠性要求的数字设备上具有明显的优势^[6,7].

1 基于 CPLD 的触发电路的实现

数字相控触发电路工作原理及电路系统结构如图 1 所示, 晶闸管的移相触发角的大小由控制电压的大小决定, 控制电压经过 V/F 转换电路转换为脉冲信号, 然后将脉冲信号作为 CPLD 中控制模块和数据转换模块的使能信号. 控制电压越大, 转换的脉冲信号频率越高, 其移相角就越小. 此设计可以实现移相角的变化范围约为 $0\sim 150^\circ$.

1.1 电路结构

数字移相触发电路的结构如图 2 所示. CPLD 采用的外部时钟源为 20 MHz, 在控制脉冲信号为高

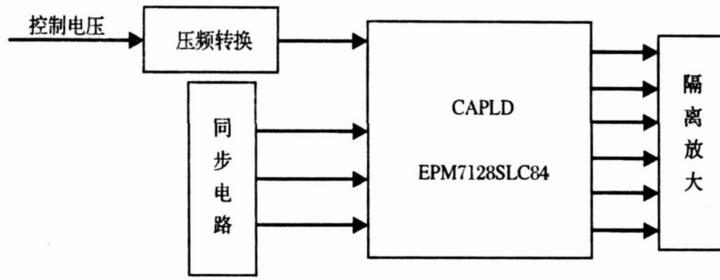


图1 数字相控触发电路系统结构

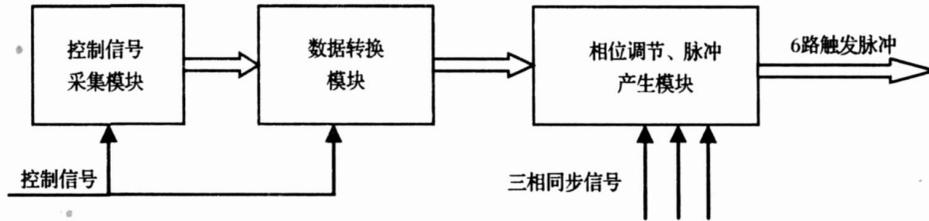


图2 CPLD内部电路模块

电平时,控制信号采集模块进行计数.在控制脉冲信号为低电平时,数据转换模块将控制信号采集模块累计的数据导入,并进行数据调整,与此同时,控制信号采集模块计数清0.经由数据转换模块调整后的数据在同步信号处于上升沿时导入到相位调节、脉冲发生模块,该模块在同步时钟信号的作用下将

导入的数据递减,通过对递减的数据进行判断而产生触发脉冲信号^[8].

1.2 程序设计与电路实现

按照以上原理采用VHDL语言编程,实现图3所示数字移相触发电路系统.

(1) 移相触发角 α 的设定 触发电路中移相触

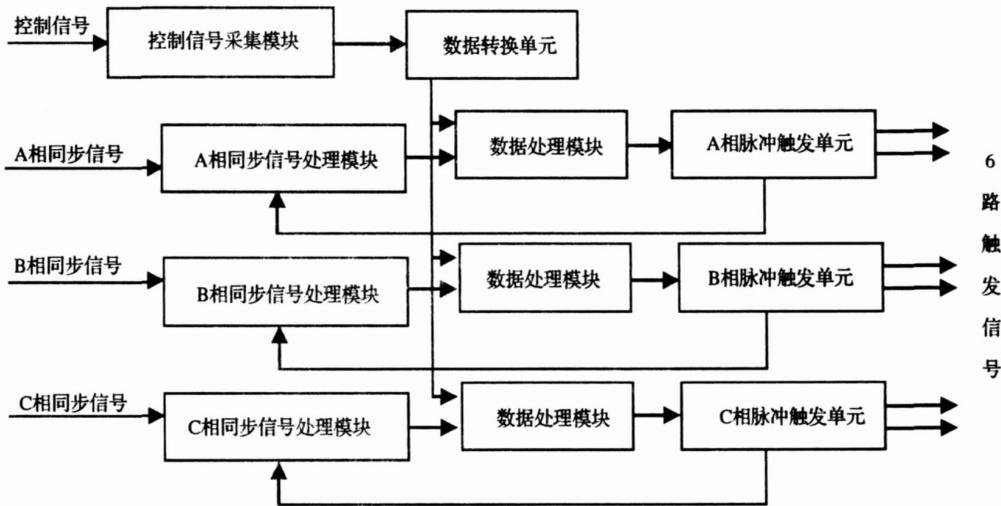


图3 CPLD下载的数字移相触发电路系统

发角 α 的大小由经过压/频转换电路输出的脉冲信号来控制,在脉冲信号为高电平时,控制信号采集模块的计数器进行计数.在脉冲信号为低电平时,将计数结果传输到数据转换电路,并对控制信号采集模块的计数器清0.

控制脉冲信号的范围为21.75 Hz~43.5 Hz.在脉冲信号为43.5 Hz和21.75 Hz,分别对应移相触

发角 α 为 0° 和 150° .在控制脉冲信号为43.5 Hz时,

控制信号采集模块的计数器的计数值为 $\frac{1}{2} \times \frac{43.5}{20} \div (CPLD \text{的时钟周期}) = 229\ 885$ (其中CPLD采用外部时钟源为20 MHz),在控制脉冲信号为21.75 Hz时,控制信号采集模块中的计数结果为450 770,由数据转换单元将计数结果减去229 885作为触发角

α 的控制数据,即

$$t = 229\ 885 \times \frac{1}{20\ 000\ 000} = \frac{1}{360^\circ} \times 150^\circ = \frac{1}{120} (\text{S}),$$

因此触发角 α 的分辨率为

$$0.000\ 652\ 5^\circ = \frac{150^\circ}{229\ 885}.$$

(2) 数据转换电路 以 A 相的双窄触发脉冲为

例,如图 4 所示.

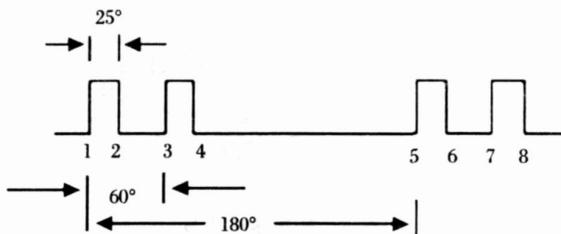


图 4 A 相触发脉冲

在电源的前半周期和后半周期分别产生对应 2 只晶闸管的触发脉冲信号. 在任意半周期内, 触发脉冲第 1 个高脉冲与第 2 个高脉冲相隔 60° . 前半周期和后半周期的第 1 个脉冲信号相隔 180° . 从第 1 个高脉冲信号开始到第 4 个脉冲信号结束(即图中 1 点到 8 点), 它们相隔角度为 265° , 即相隔时间为

$$\frac{1}{360^\circ} \times 265^\circ \div \frac{1}{20\ 000\ 000} = 294\ 444 \text{ 个}$$

CPLD 的时钟周期. 数据转换单元在经过 V/F 转换电路所转换的控制脉冲信号为低电平时, 读取控制信号采集模块计数结果, 通过控制信号采集模块的计数结果完成相应的触发角 α 的控制. 在数据转换单元内, 将控制信号采集模块的计数结果减去 229 885, 然后与 294 444 求和, 作为数据转换单元的输出数据.

(3) 相位调节单元 在程序中, 相位调节单元包括同步信号处理模块和数据处理模块. 以 A 相为例说明, 当 A 相的 2 个晶闸管未处于触发状态, 同步信号处理模块会产生一个低电平, 该信号使数据处理模块实时的导入由数据转换单元产生的数据. 一旦同步信号处理模块捕捉到 A 相的同步信号时, 同步信号处理模块会产生一个高电平, 使实时数据的导入停止, 同时数据处理模块的递减功能打开. 数据处理模块对最后一次导入的数据进行递减操作. 当导入的数据递减到 0 时, 同步信号处理模块又会将高电平转换为低电平, 再次实时的导入由数据转换单元产生的数据, 依次循环.

(4) 脉冲触发单元 脉冲触发单元与系统的 CLK 信号同步, 每当 CLK 信号为上升沿时, 脉冲触发单元就从相位调节单元的数据处理模块读取一次

数值, 并通过对读取数值的判断来改变输出电平的高低. 以 A 相为例, 当同步信号处理模块没有捕捉到 A 相的同步信号时, 相位调节单元的输出为 0, 脉冲触发单元输出为低电平. 当同步信号处理模块捕捉到 A 相的同步信号时, 相位调节单元的数据处理模块进行递减操作, 脉冲触发单元进行同步的读取递减数据. 在脉冲触发单元内对读取的数值进行判断, 通过对数值的判断, 从而产生 A 相触发脉冲时序. 如图 4 所示, A 相触发脉冲时序有 1、2、4、5、6、7、8 等几个关键点, 8 点为 A 相触发脉冲的结束点, 与脉冲触发单元读取数据的 0 点对应. 以电源为 50 Hz 和各个关键点之间的度数为前提, 7 点与 8 点相隔 25° , 因此 7 点对应的递减数据为

$$\frac{1}{360^\circ} \times 25^\circ \div \frac{1}{20\ 000\ 000} = 27\ 778,$$

而 6 点与 8 点相隔 60° , 所以 6 点对应的递减数据为

$$\frac{1}{360^\circ} \times 60^\circ \div \frac{1}{20\ 000\ 000} = 66\ 667,$$

依次类推 1 点对应数据为 294 444, 2 点对应数据为 266 666, 3 点对应数据为 227 780, 4 点对应数据为 200 002, 5 点对应数据为 94 445.

2 实验结果

采用 Quartus II 软件自带的波形仿真工具对所设计的数字触发单元进行了仿真和测试, 得到的 6 路触发脉冲信号波形图如图 5 所示.

在设计中, 当外部控制电压经过压频转换电路所转换的脉冲信号改变时, 如果相位调节单元没有捕捉到各相的同步信号, 则相位调节单元内的数据就会与 CLK 信号上升延同步更新, 因此能保证系统

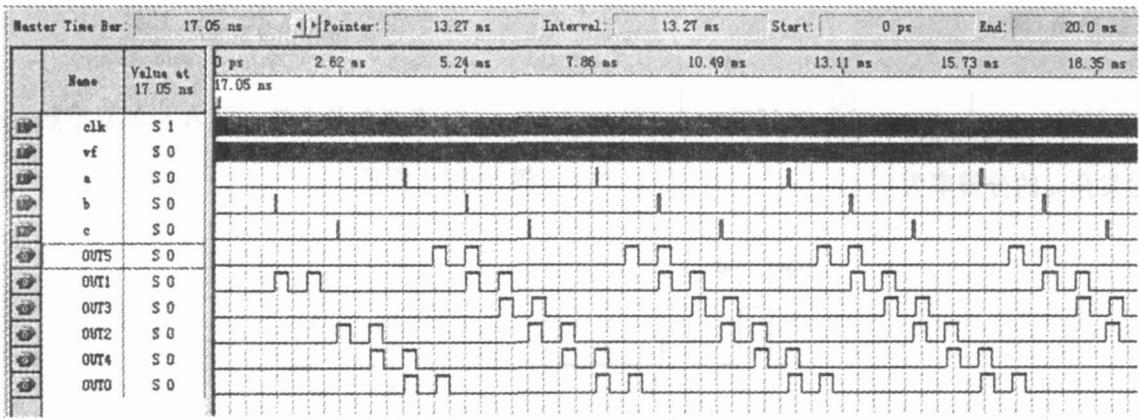


图5 触发脉冲波形

的响应速度,使其更加准确、可靠的产生触发脉冲序列.

3 结束语

设计采用CPLD芯片EPM7128SLC84,实现了晶闸管的数字触发电路设计,设计克服了传统设计方案的一些缺陷,提高了系统的抗干扰性和稳定性.触发电路输出的触发脉冲对称度好、响应快、精度高、稳定性好.

参考文献:

[1] 吴伟,刘映杰,许强,等. HIRFL 电源改造的研究[J]. 甘肃科学学报, 2002, 14(1): 17-22.

[2] 柏建普,高美霞,高志成. 微机控制的晶闸管中频电源[J]. 工业加热, 2003, 32(1): 59-60.

[3] 尤志春,李鹤岐. 基于DSP-MCU 数字化焊接电源系统的设计[J]. 甘肃科学学报, 2005, 17(2): 100-104.

[4] 曲继圣. 一种改进的晶闸管触发电路[J]. 山东交通学院学报, 2005, 13(1): 17-20.

[5] 杜江,杜太行. 晶闸管交流调压电路数字触发系统的研究[J]. 低压电器, 2006, 48(8): 28-31.

[6] 孙宁强,梁大开,丁伟. 基于CPLD的特定消谐PWM 数字触发电路的分析和实现[J]. 电气应用, 2005, 24(12): 52-55.

[7] 金天均,张学勤. 新型晶闸管感应加热电源换流监控电路[J]. 金属热处理, 2006, 31(4): 87-88.

[8] 李宏,邹伟,邢隆. 宽频率范围跟踪晶闸管触发器的研制与应用[J]. 电力电子技术, 2005, 39(6): 138-140.

作者简介:

杨新华 (1966-)男,甘肃省临洮人,1989年毕业于西安电子科技大学光电子技术专业,现任兰州理工大学电气工程与信息工程学院副教授,从事电子技术、计算机控制方面的研究.