

一种新型变压器绕组变形检测装置的设计与实现

苗立交, 杨新华

(兰州理工大学 电气工程与信息工程学院, 甘肃 兰州 730050)

摘要: 基于CY7C68013设计了变压器绕组变形检测装置,并详细介绍了该系统的具体硬件实现方案以及关键部分的设计方法.样机测试表明,该变压器绕组变形检测装置具有实时性好、可靠性高、精度高以及响应快等优点,而且容易实现.

关键词: 频率响应;USB;CY7C68013;CPLD

中图分类号: TM410.5,TP272 **文献标志码:** A **文章编号:** 1004-0366(2010)04-0150-03

A New Type of Transformer Winding Deformation Detection Device and Its Design and Implementation

MIAO Li-jiao, YANG Xin-hua

(School of Electrical and Informational Engineering, Lanzhou University of Science and Technology, Lanzhou 730050, China)

Abstract: Based on the CY7C68013, a transformer windings detection device is designed. The specific hardware of the system and its key parts are described in detail. The sample testings show the system has good real-time, high reliability, good flexibility, high accuracy and it is easy to implement.

Key words: frequency response; USB; CY7C68013; CPLD

变压器是电力系统中的重要设备之一,它运行的稳定性对电力系统的安全运行至关重要.电力变压器绕组变形是指在电动力和机械力的作用下,绕组的尺寸或形状发生不可逆的变化.及时发现变压器的事故隐患,避免事故的发生,最大程度地减少损失,有着非常重要的实际意义.

鉴于此,基于USB芯片CY7C68013A-128AXC设计了变压器绕组变形检测装置^[1].该装置包含扫频信号产生电路、数据采集电路、控制电路、数据传输电路.设计中优化各个电路模块并合理配置整体结构使得该装置具有精度高、响应快、成本低且易于测量等优点.

1 检测装置的设计原理

频率响应分析法的原理是基于变压器的等值电路可以看成是共地的二端口网络^[2].该二端口网络的频率特性可以用传递函数

$$H(f) = 20 \log(V_o(f)/V_i(f))$$

来描述.由于每台变压器都对应有自己的响应特性,所以绕组变形后,其内部参数变化将导致传递函数的变化.分析和比较变压器的频率响应特性,就可以发现变压器绕组是否发生了变形.在硬件系统中依次把正弦波扫频信号电路输出的不同频率的正弦波电压信号加在变压器的一端,同时检测该频率下绕组两端的对地电压信号 $V_i(f)$ 和 $V_o(f)$,对数据经过运算得到该频率下的幅频值 $H(f)$.改变扫频信号的频率便可获得试品的一系列幅频值,再由LabVIEW软件来处理并显示整条幅频曲线.对比变压器投入使用前的幅频曲线和变压器变形后的幅频曲线便可判断变压器绕组变形情况.

2 硬件系统设计

根据频率响应传递函数

$$H(f) = 20 \log(V_o(f)/V_i(f)),$$

设计的硬件系统原理如图1所示.

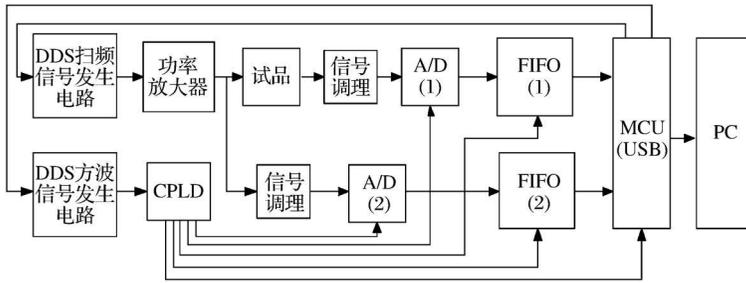


图 1 硬件系统原理

首先由系统中 DDS 扫频信号发生电路产生正弦波扫频信号,由于扫频信号驱动能力低,需要经过功率放大器放大才能作为变压器的输入测量信号,然后把此测量信号加到变压器的任一绕组的一个端口,再分别测量该绕组 2 个端口的对地电压。变压器 2 个端口的对地电压数据用 2 片 A/D 芯片分别采集,采集过程中把数据缓冲到 FIFO 中,同时通过单片机 MCU (USB) 把 A/D 芯片采集的样本数据从 FIFO 中取出并通过 USB 接口传给 PC 机,最后由上位机数据处理软件 LabVIEW 处理并绘出幅频曲线^[3]。在图 1 中,DDS 方波发生电路和 CPLD 芯片组合产生的方波作为 A/D 芯片的时钟。以下介绍设计该系统的几个关键部分。

2.1 DDS 扫频信号发生电路

根据“电力变压器绕组变形的频率响应分析法”行业标准^[4],要求变压器绕组变形检测装置的参数如下:

测量频率范围 1 kHz~2 MHz;

扫描频率间隔 扫描频率的间隔应 <2 kHz。

按照行业标准,系统中采用 AD9850 芯片产生正弦波扫频信号。AD9850 芯片采用的是 DDS 技术^[5],其原理如图 2 所示。

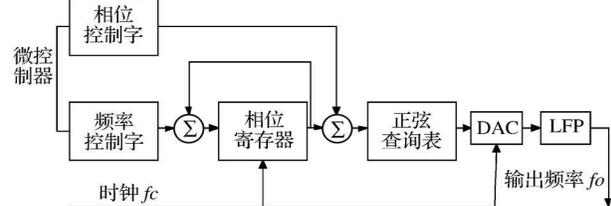


图 2 AD9850 芯片内部原理

DDS 技术是一种把一系列数字量形式的信号通过 DAC 转换成模拟量形式的信号合成技术。目前使用最广泛的一种 DDS 方式是利用高速存储器作查寻表,然后通过高速 DAC 产生已经用数字形式存入的正弦波。常见的 DDS 系统由频率控制字、相位累加器、正弦查询表、D/A 转换器和低通滤波器组成。参考时钟为高稳定度的晶体振荡器,其输出

用于同步 DDS 各组成部分的工作。

$$f_0 = (\text{Phase} \times f_c) / 2^{32},$$

其中 f_0 是输出频率,Phase 是频率控制字, F_c (40 MHz) 是参考频率。

AD9850 芯片采用有源晶振,频率最高可达晶振频率的 1/2,且分辨率可达 1 Hz,可以产生在 1 kHz~2 MHz 频率段中的任一频率的正弦波信号。把正弦波信号接入内部高速比较器,可产生方波信号。

A/D 芯片的时钟:根据采样定理,A/D 芯片的时钟频率会几倍甚至千倍于扫频信号的频率。然而,在实际应用中发现,当芯片 AD9850 输出的信号频率达到 10 MHz 时,波形会有毛刺出现,还会有寄生波形,自行设计的低通滤波器截止频率又难以达到兆级,所以只用 AD9850 芯片很难达到要求,而利用 CPLD 芯片采用倍频技术能避开低通滤波器的设计且能很好地解决此问题。

2.2 CPLD 芯片的应用

A/D 芯片的时钟由 DDS 方波发生电路和 CPLD 芯片组合产生,通过 MCU 对 DDS 方波发生电路的 AD9850 芯片发不同的频率控制字可使 AD9850 产生 1 kHz~2 MHz 的方波。把 AD9850 产生的方波信号输入 CPLD 芯片,利用倍频技术可产生任意频率值的方波信号,该方波信号可作为 A/D 芯片的时钟信号。CPLD 不但可以同时产生 2 路时钟信号,而且可以使 A/D 芯片同时采样,且没有相位差。与此同时,利用 CPLD 芯片计数,控制 A/D 芯片在不同的扫频周期采集不同的样本数,并把数据采集完毕信号反馈给 MCU,以便 MCU 发给 AD9850 下一个频率控制字。

采用 CPLD 芯片的另一个优点:如果 MCU (USB) 芯片高速传输数据时还要兼顾产生时钟信号、对每个周期采样点数计数,这必将会使数据传输效率下降。利用 CPLD 来控制 A/D 芯片采样并对每个周期采样点数计数,这样就减少了 MCU 的工作量,使 MCU 传输数据效率有显著的提高。

系统中 CPLD 采用 MAX7128 芯片, MAX7128 计数频率可达 227.3 MHz, 完全能满足系统要求。

2.3 MCU 的选择

由于扫频信号频率范围为 1 kHz~2 MHz, 随着扫描频率的增大, 必然要求 A/D 的采样速度相应提高, 采集的大量数据用串口传输已经不能满足要求, 而 USB 接口的传输速率能达到 480 Mb/s, 因此系统中采用 USB 接口传输数据^[6]。系统中选用 CY7C68013A-128AXC 单片机, 其硬件系统构成如图 3。

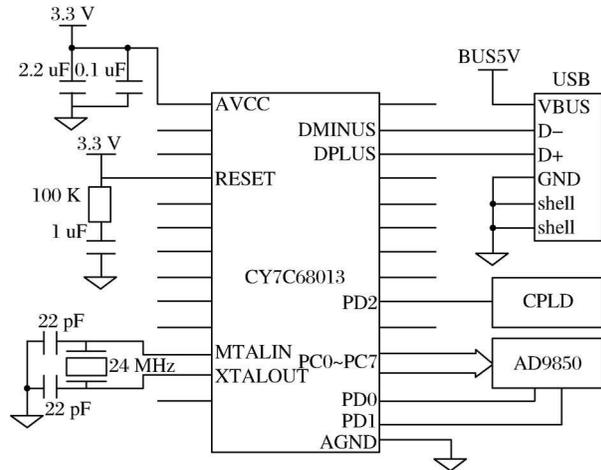


图 3 硬件系统构成

CY7C68013(EZ-USB FX2)是一款全面 USB2.0 外围设备解决方案的接口芯片, 设计时无须考虑外部物理层(PHY), 且芯片内有 480 Mb/s 的收发器; 2、3、4 倍增缓冲端点 FIFO^[7], 能适应 480 Mb/s 的 USB2.0 数据传输速率; 最重要的是 CY7C68013(EZ-USB FX2)内部嵌入可运行在 48 MHz 频率的增强型 8051CPU, 每条命令只需要 4 个时钟周期, 明显提高了数据的处理能力。CY7C68013(EZ-USB FX2)功能强大价位低廉, 故选择此芯片作为系统的 MCU。

如图 3 所示, CY7C68013(EZ-USB FX2)的 PD2 管脚用来查询是否有 CPLD 发来数据采集完毕信号, 如果有, CPU 再发送下一个频率控制字。这样 CY7C68013(EZ-USB FX2)其他时间全部用来把采集的数据样本传给 PC 机。因此, CPU 效率会大大提高, 缩短了整个系统的测试时间。

3 实验结果

试品采用 1 台鼓包的变压器, 2 条幅频曲线^[8]由

上位机软件 LabVIEW 显示, 测量的幅频曲线如图 4。

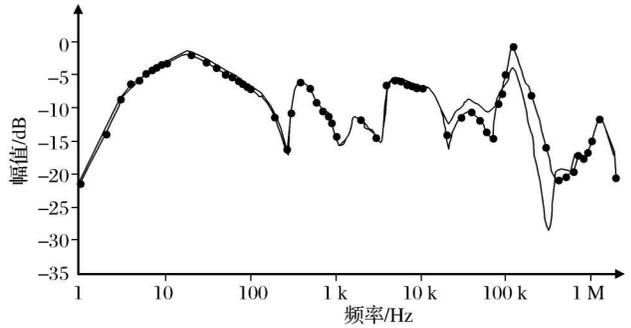


图 4 幅频曲线

— 变压器投入使用前 ● 变压器故障后

幅频响应特性曲线中频段(100~600 kHz)的波峰或波谷位置发生明显变化, 表明绕组发生扭曲和鼓包等局部变形现象^[9], 而测试其中一项绕组变形整个过程用了 4 min。实验结果证明, 测试结果不但准确, 而且测试速度大大提高。

4 结束语

硬件系统设计采用以 AD9850、CPLD 和 CY7C68013(EZ-USB FX2)3 个芯片为核心的电路组合, 不但实现了变压器绕组变形检测装置的设计, 而且提高了整个系统的实时性、可靠性、精确度以及系统的运行效率, 节约了成本。

参考文献:

- [1] 孙熊飞, 王洪新, 孟刚. 基于单片机的变压器绕组变形在线检测装置的研究[J]. 苏盐科技, 2006, 33(1): 12-14.
- [2] 何平, 文习山. 变压器绕组变形的频率响应分析法综述[J]. 高电压技术, 2006, 32(5): 37-41.
- [3] 魏勇, 孙士平. LabVIEW 与 USB 的虚拟仪器接口设计[J]. 现代电子技术, 2009, 33(8): 163-165.
- [4] DL/T911-2004. 电力变压器绕组变形的频率响应分析法[S].
- [5] 董军刚, 蔡振江, 王福顺, 等. 基于 DDS 技术的智能信号发生器的设计[J]. 微计算机信息, 2007, 23(11): 298-301.
- [6] 廖济林. USB2.0 应用系统开发实例精讲[M]. 北京: 电子工业出版社, 2006.
- [7] 李庆, 唐静. 基于 CPLD 的 DDS 与 PLL 信号源的设计[J]. 武汉理工大学学报, 2007, 29(10): 28-30.
- [8] 姚森敬. 横向比较法在变压器绕组变形测试中的应用[J]. 广东电力, 2000, 13(4): 11-14.
- [9] 朱明林, 金之俭, 朱子述. 变压器绕组变形诊断中的等效模型参数辨识[J]. 电力系统自动化, 2001, 25(8): 38-41.

作者简介:

苗立交 (1980-)男, 河北省石家庄人, 现为兰州理工大学在读硕士研究生, 研究方向为智能仪器仪表。