第 8卷 第 16期 2008年 8月
1671-1819(2008)16-4500-04
科 学 技 术 与 工 程
Science Technology and Engineering
Vol.8 No.16 Aug.2008
? 2008 Sci. Tech. Engng.

计算机技术

基于 CPLD的移动机器人改进滤波器的设计

轿立新 刘 龙*
(兰州理工大学 电气工程与信息工程学院,兰州 730050)

摘 要 移动机器人采集信息处理过程中,对信号的过滤、检测、预测等,都要广泛地用到滤波器。其中数字滤波器具有稳定性高、精度高、设计灵活、实现方便等许多突出的优点,避免了模拟滤波器所无法克服的电压漂移、温度漂移和噪声等问题,因而随着数字技术的发展,用数字技术实现滤波器的功能越来越受到人们的注意和广泛的应用。

关键词 CPLD 移动机器人 数字滤波器 VHDL 分布式算法 查找表
中图法分类号 TP242.6; 文献标志码 A

FIR滤波器是数字信号处理中常用部件[1],它的最大优点在于:设计任何幅频特性时,可以具有严格的线性相位,这一点对数字信号的实时处理非常关键。CPLD是常用的可编程器件[2],它所具有的查找表结构非常适用于实现实时快速可靠的 FIR滤波器,在加上 VHDL语言灵活的描述方法以及与硬件无关的特点,使得使用 VHDL语言基于 CPLD芯片实现 FIR滤波器成为研究的方向。

1 FIR滤波器硬件结构实现

一种基于 ASIC或 CPLD的数字滤波器设计[3,4]流程如图 1所示.

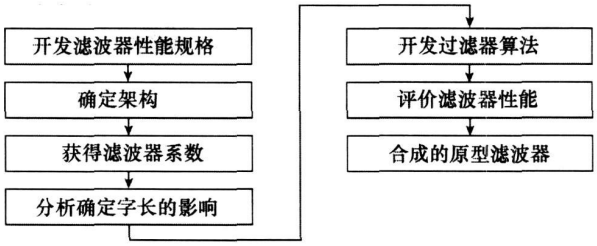

图 1 数字滤波器设计流程图

2008年 4月 28日收到 国家自然科学基金项目(50274003)资助
第一作者简介:潘峥嵘(1964—)男,山东蓬莱人,教授,硕士生导师,研究方向:智能检测与控制、计算机控制;
* 通信作者简介:刘 龙(1981—),男,甘肃景泰人,硕士研究生,研究方向:智能检测与控制。

一个 FIR数字滤波器时域输出可以表示为:

$$y[n]=\sum_{k=0}^{N} h_k x[n-k] \tag{1}$$

(1)式中 h_k称为滤波器的抽头系数(tap coefficients)。(1)式可用 z域功能模块表示如图 2(a)所示,其转置结构如图 2(b)所示。

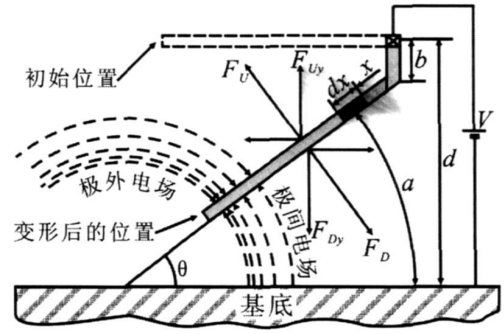

图 2 N阶数字滤波器功能框图

FIR数字滤波器需要 n个由寄存器组构成的寄存器组组成,其中 x(n)为输入序列,y(n)为输出序列。每一个寄存器组表示一级延时,变量 h(n)(n=0,1,2,3,…,N)代表滤波器的第 n个系数。由图 2可知,该结构包含 N+1次乘法与 N次加法,由于乘法运算的运算量比加法大的多,故运算量可用乘法的次数多少来表示。完成上述结构的传统方法是用阵列乘法来实现,但当滤波器的阶数 N+1很高时,由于乘法次数过多,处理速度会变得很慢,并且

(C)1994-2022 China Academic Journal Electronic Publishing House. All rights reserved. http://www.cnki.net

占用大量的硬件资源，因此该结构有较大的局限性。

2　FIR滤波器的模块划分

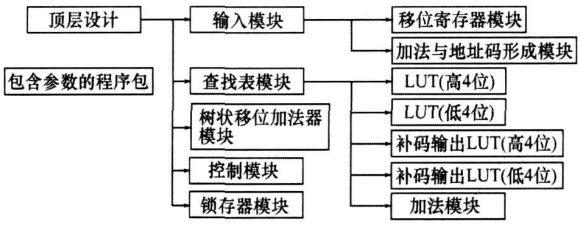

图 3　FIR滤波器的层次结构

3　FIR滤波器输入模块的设计

本文用窗函数法设计了一个 FIR低通滤波器，使用分布式算法、用 VHDL语言[5]实现硬件设计。用 MAX＋PLUSⅡ实现仿真。

输入模块由移位寄存器模块、加法与地址码形成模块组成，其中移位寄存器模块的功能是对并行输入信号的延迟输出，其寄存器的个数由滤波器的阶数决定。加法与地址形成模块实现 $s(i)=x(i)+x(N-i)$的运算，当 16阶滤波器的阶数用从 0到 15的整数顺序表示时，则第 0阶与第 15阶、第 1阶与第 14阶、…第 7阶与第 8阶的系数分别对称。这样能使乘法滤波起的次数减半。相加的结果按照 DA算法的方式排布成 ROM的地址，地址长度位 N/2。

输入电路模块原理图如图 4所示。

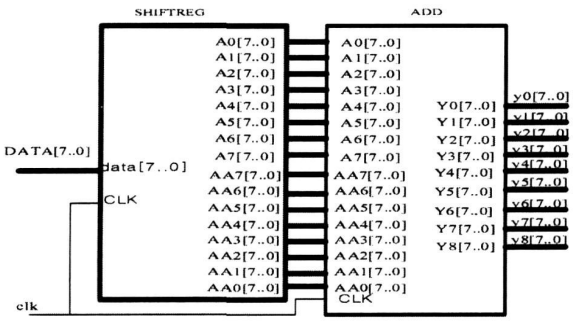

图 4　输入模块电路图

4　滤波器查找表模块设计

输入模块形成 9组 8位地址码，如果直接 LUT，则 LUT的规模太大，是 256个字，为节约 CPLD资源，本文设计使用了 8位地址线分割技术，分成 2个 4位地址线的 LUT，节省了大量硬件资源，避免了大容量的 ROM使用。下面是树状加法器的 VHDL语言设计程序。

```
use ieee std_logic_1164. all;
use ieee std_logic_signed. all;
use ieee std_logic_arith. all;
entity jiafa is
port(m0, m1, m2, m3, m4, m5, m6, m7, m8:
in std_logic_vector(12 downto 0);
    clk: in std_logic;
    y: out std_logic_vector(23 downto 0));
end jiafa;
architecture rtl of jiafa is
architecture rtl of jiafa is
signal n0, n1, n2, n3: std_logic_vector(14 downto 0);
signal p0, p1: std_logic_vector(17 downto 0);
signal q: std_logic_vector(22 downto 0);
begin
process (clk)
if (clk'event and clk='1') then
n0<=(m2(12)&m2&'0')+(m1(12)&m1(12)&m1);
n1<=(m4(12)&m4&'0')+(m3(12)&m3(12)&m3);
n2<=(m6(12)&m6&'0')+(m5(12)&m5(12)&m5);
n3<=(m8(12)&m8&'0')+(m7(12)&m7(12)&m7);
p0<=(n1(14)&n1&"00")+(n0(14)&n0(14)&n0(14)&n0);
p1<=(n3(14)&n3&"00")+(n2(14)&n2(14)&n2(14)&n2);
q<=(p1(17)&p1&"0000")+(p0(17)&p0(17)&p0(17)&p0
(17)&p0(17)&p0);
y<=(q&'0')+(m0(12)&m0(12)&m0(12)&m0(12)&m0(12)
&m0(12)&m0(12)&m0(12)&m0(12)&m0(12)
&m0);
end if
end process;
end rtl;
```

5　FIR滤波器系统仿真

编译后的仿真对于 CPLD的综合设计是最重要的一步，仿真主要通过 MAX＋PLUSⅡ[6]完成。系统仿真的目的是检验设计是否被真正实现，如果仿真存在问题就要返回到上一级重新修改设计或参数。重新编译并且再次进行仿真，直到结果正确为止。在系统仿真中，用 MATLAB设计了一个幅度为

(C)1994-2022 China Academic Journal Electronic Publishing House. All rights reserved.　http://www.cnki.net

1 V的 1 MHz的正弦波，用 5 MHz的采样器对其采样，得到了 16个采样值，分别为 0, 0.951 1, 0.587 8, －0.587 8, 0.951 1, 0 , 0.587 8, －0.587 8, －0.951 1, 0, 0.951 1, 0.587 8, －0.587 8, 0.951 1, －0.951 1, 0.转化成 8位几进制补码，得到了 16个数据，分别为 00000000, 01111001, 01001011, 10110101, 10000111, 00000000, 01111001, 01001011, 10110101, 10000111, 00000000, 01111001, 01001011, 10110101, 10000111, 00000000。将其输入到 FIR滤波器模块的输入端，得到 31个输出值，下面列出其中前 16个输出的系统仿真波形图。

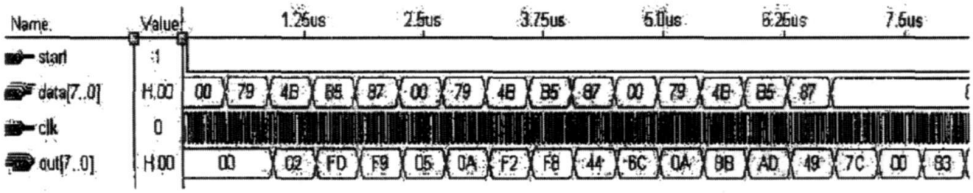

图 5 系统时序仿真图

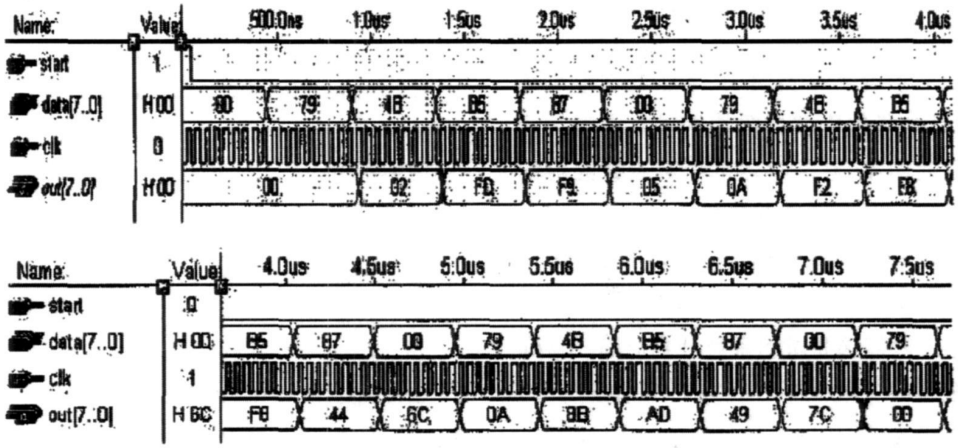

图 7 FIR 滤波器的 16 个输出

FIR滤波器的第 1个输出值为 00000000,第 2个输出为 00000010,第 3个输出为 11111101,第 4个输出为 11111001,第 5个输出为 00000101,第 6个输出为 00001010,第 7个输出为 11110010,第 8个输出为 11111000,第 9个输出为 01000100,第 10个输出为 01101100,第 11个输出为 00001010,第 12个输出为 10001011,第 13个输出为 10101101,第 14个输出为 01001001,第 15个输出为 01111100,第 16个输出为 00000000。后面 15个数值的输出波形省略了。

用 MATLAB计算得到的输出为：

0, 0.024 8, －0.015 1, －0.055 1, 0.041 1, 0.080 5, －0.105 9, －0.059 6, 0.539 3, 0.863 2, 0.080 5, －0.927 9, －0.654 0, 0.583 8, 0.993 8, 0, －0.993 8; 0.583 8, 0.654 0, 0.927 9, －0.080 5, －0.863 2, －0.539 3, 0.059 6, 0.105 9, －0.080 5, －0.041 1, 0.055 1, 0.015 1, －0.024 8, 0。

CPLD仿真结果转换成小数后如下：

0, 0. 015 625, －0. 023 437 3, －0. 055 687 5, 0. 039 062 5, 0. 078 125, －0. 109 375, －0. 062 5, 0. 531 25, 0. 796 875, 0. 078 125, －0. 915 062 5, －0. 648 437 5, 0. 570 312 5, 0. 976 562 5, 0, －0. 976 562 5, －0. 570 312 5, 0. 648 437 5, 0. 915 062 5, －0. 078 125, 0. 796 875, . 531 25, 0. 062 5, 0. 109 375, －0. 078 125, －0. 039 062 5, 0. 055 687 5, 0. 023 437 3, －0. 015 625, 0。

与软件计算的结果相比，有一定的误差，但不是

(C)1994-2022 China Academic Journal Electronic Publishing House. All rights reserved. http://www.cnki.net

很大。误差主要是由于系数量化而形成的量化误差。

对一个由幅度同为 0.5 V的 0.5 MHz正弦波和 2 MHz正弦波的合成波进行了仿真,对其 CPLD的仿真结果用 MATLAB恢复成波形图,如图 8。

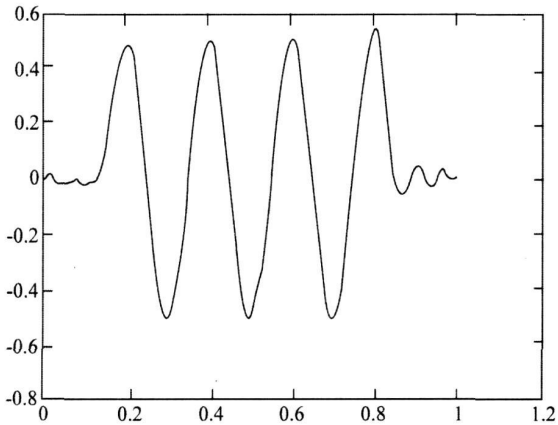

图 8　合成波通过 FIR滤波器后的仿真波形图

通过以上的仿真分析,可以看出合成波中 2 MHz的正弦波已经被滤除,在实际应用中,通过修改设计的 FIR滤波器的 Dextra和查找表[7,8],本设计还可以分别实现 16阶高通、带通滤波器,体现了设计的灵活性。

6　结束语

在现代电子系统中,FIR数字滤波器以其良好的线性特性被广泛使用,属于数字信号处理的基本模块之一。本论文就 CPLD器件实现 FIR数字滤波器进行了研究。针对当滤波器的阶数过大时,分布式算法中 LUT规模过大的缺点,对其进行了进一步的改进。采取了将大 LUT分为 2块小 LUT的方案,极大的降低了硬件的规模。本设计还有不完善之处,如工作速率有待于进一步提高,深入研究 LUT的对称性进一步缩小硬件规模,将设计下载到 CPLD芯片中,实现硬件上的验证测试等。

参　考　文　献

1　陈后金,薛　健,胡　健.数字信号处理,北京:高等教育出版社,2001

2　宋万杰,罗　丰,吴顺君.CPLD技术及其应用,西安:西安电子科技大学出版社,2001

3　蒋　漩,臧春华.数字系统设计与 PLD应用技术,北京:电子工业出版社,2001.

4　薛宏熙,边计年,苏　明.数字系统设计自动化.北京:清华大学出版社,1996

5　潘　松,黄继业.EDA技术实用教程.北京:科学出版社,2005

6　谭会生,张昌凡.EDA技术及应用,西安:西安电子科技大学出版社,2001

7　周亚风,李跃华,朱　昊.基于 FPGA的 16阶 FIR滤波器的设计.南京工业大学学报,2005

8　郭继昌,向　晖,滕建辅.基于 FPGA的 FIR滤波器的实现.电子技术应用,2000;5

Mobile Robot Collecting Information with Anti-jamming Based on CPLD

JIAO Li-xin, LIU Long*

(College of Electrical and Information Engineering, Lanzhou University of Technology, Lanzhou 730050, P.R. China)

[Abstract]　Mobile bobot collecting information processing signal filtering detection, forecasting widely used to filter. Digital filter which has high stability, high accuracy and design flexibility, convenience and many other prominent realize the advantages of avoiding the filter simulation can not be overcome by the voltage drift drift and noise problems which along with the development of digital technology. Digital technology filter function more and more people's attention and a wide range of applications.

[Key words]　CPLD　mobile robot　digital filter　VHDL　distributed algorithms　table view

(C)1994-2022 China Academic Journal Electronic Publishing House. All rights reserved.　http://www.cnki.net